

5. Japanese Patent Application No. Hei 3-256314

In order to maintain a readable code which has been written by means of overlapping patterns in association with progress of manufacturing operation, without exerting influence on the surface of a semiconductor wafer, recesses are formed in positions corresponding to binary codes "0" and "1" assigned to the semiconductor wafer, from among a plurality of positions provided at uniform intervals on the side wall of the semiconductor wafer in a circumferential direction.

Publication Date: November 15, 1991

Inventor: Kobayashi

⑥ 日本国特許庁 (JP) ⑦ 特許出願公開  
⑧ 公開特許公報 (A) 平3-256314

⑨ Int. Cl.<sup>5</sup>  
H 01 L 21/02

員別記号 厅内整理番号  
A 2104-5F

⑩ 公開 平成3年(1991)11月15日

審査請求 未請求 請求項の数 1 (全3頁)

⑪ 発明の名称 半導体ウエハー

⑫ 特願 平2-55424  
⑬ 出願 平2(1990)3月6日

⑭ 発明者 小林 章朗 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑮ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑯ 代理人 弁理士 内原 音

明　　細　　書

1. 発明の名称

半導体ウエハー

2. 特許請求の範囲

1. 半導体ウエハーにおいて、

該半導体ウエハー側面の周方向の等間隔の複数の位置のうち、該半導体ウエハーに与えられた2進数コードの「1」または「0」に対応した位置に凹部が形成されていることを特徴とする半導体ウエハー。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置製造において基板として使用される半導体ウエハーに関する。

(従来の技術)

従来、この種の半導体ウエハーの製造段階および特性的表示は、ロット番号および検査成績表として半導体ウエハーの側面に添付する形で行なわれており、添付されたデータと個々の半導体ウエハーとの対応はレーザーマーカー等により半導体

ウエハー表面に特定の記号等を記入する場合と側面の顕微鏡によって行なう場合とがあった。

(発明が解決しようとする課題)

上述した従来の方法のうち、前者は半導体装置を形成する半導体ウエハー表面に印字するため、印字された場所およびその周辺に形成された半導体装置は不良になる他、半導体装置の製造工程の進行により何度もバターンが重ね合わせた場合その判別が困難になる欠点があり、後者は半導体ウエハーの細部を解いた後、半導体製造工程に適合する形にバッチを組み直す際または半導体製造工程の各処理の時点で半導体ウエハーの取り違い等により順番が乱れ、添付された特性表と対応がとれなくなる欠点があった。

本発明の目的は、半導体装置を形成する半導体ウエハー表面への影響を与えることなく、かつ工程の進行に伴なうバターンの重ね合せにより書き込まれた符号の読み取りが困難になることがない半導体ウエハーを提供することである。

## (問題を解決するための手段)

本発明の半導体ウェハーは、該半導体ウェハー側面の周方向の等間隔の複数の位置のうち、該半導体ウェハーに与えられた2進数コードの「1」または「0」に対応した位置に凹部が形成されている。

## (作用)

半導体ウェハー側面に分角、識別のための表示を設けるので、半導体装置を形成する半導体ウェハー表面への影響を与えることなく、かつ工程の進行に伴なうパターンの重ね合せにより書き込まれた符号の読み取りが困難になることもない。

## (実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の半導体ウェハーの側面図、第2図はその断面図である。

この半導体ウェハーはスライス工程、面取り工程、鏡面研磨工程終了後の側面1の周方向の等間隔の位置A-A, B-B, C-C, D-D, E-E

F-FのうちA-A, B-B, D-DおよびE-Eの位置にYAGレーザービームが照射されて凹部2が形成されている。

本実施例では、凹部2を「1」、凹部2の形成されていない平坦部を「0」として用いるものであり、AからFにかけて「110110」の2進数を示す。なお、凹部2を「0」、平坦部を「1」として用いても何ら支障は無い。

第3図は本発明の第2の実施例の半導体ウェハーの側面図、第4図はその断面図である。

この半導体ウェハーはスライス工程、面取り工程、鏡面研磨工程終了後の側面1の周方向の等間隔の位置A-A, B-B, C-C, D-D, E-E, F-FのうちA-A, B-B, D-DおよびE-Eの位置にダイシングソーによる切り込みの凹部3が形成されている。

本実施例でも、第1の実施例と同様に凹部3を「1」、凹部3の形成されていない平坦部を「0」として用いるものである。

なお、本実施例においては結晶引上げ時のイン

ゴット単位になるがインゴット形成後より如何である利点を有する。

## (発明の効果)

以上説明したように本発明は、半導体ウェハー外周側面に等間隔で配された複数の位置のうち当該半導体ウェハーに与えられた2進数コードの「1」または「0」に対応した点に凹部を形成することにより、個々の半導体ウェハーについて半導体装置を形成する半導体ウェハー表面への影響を与えることなく、かつ工程の進行に伴なうパターンの重ね合せにより書き込まれた符号の読み取りが困難になることなく識別用の2進数コードを形成できる効果がある。

## 4. 図面の簡単な説明

第1図は本発明の第1実施例の半導体ウェハーの側面図、第2図はその断面図、第3図は本発明の第2の実施例の半導体ウェハーの側面図、第4図はその断面図である。

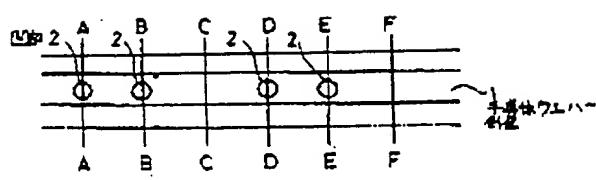
1 ……半導体ウェハー側面、

2 ……レーザービームの照射による凹部。

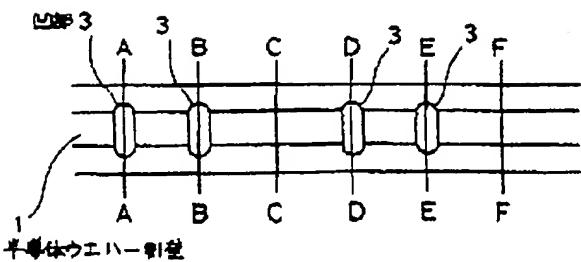
3 ……ダイシングソーによる切り込みによる凹部。

特許出願人 日本電気株式会社  
代理人 弁理士 内原 誠

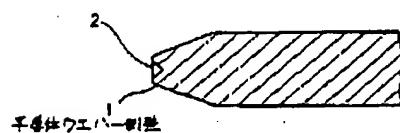
BEST AVAILABLE COPY



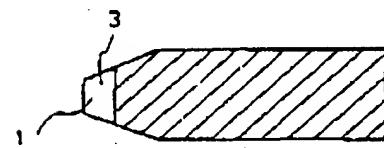
第 1 図



第 3 図



第 2 図



第 4 図

BEST AVAILABLE COPY